

КОНЦЕПЦИЯ ПОСТРОЕНИЯ ПАРАЛЛЕЛЬНЫХ КОМПЬЮТЕРНЫХ СИСТЕМ: ОТ СХЕМ АВТОМАТНОЙ ПАМЯТИ ДО ПОЛИГРАММНЫХ УСТРОЙСТВ

Мараховский Л.Ф.

г. Киев, Украина

Аннотация

Рассмотрены новые методы структурной организации параллельных иерархических устройств вычислительной техники на схемах автоматной памяти. Отличительной чертой предлагаемых устройств является то, что обработку информации можно вести в интервале между устанавливающими входными сигналами.

THE CONCEPTION OF THE CONSTRUCTION OF THE PARALLEL COMPUTER SYSTEMS: FROM THE AUTOMATICAL MEMORY SCHEMES TILL THE POLIGRAMMAING UNITS.

L.F.Marahovsky

Kyiv, Ukraine

Abstract

The new methods for the structural organization of the parallel hierarchial computer units on the elementary automatical memory schemes are considered. The characteristic feature of the devices suggested is that the information processing may be performed at the intervals between the setting input signals.

КОНЦЕПЦІЯ ПОБУДОВИ ПАРАЛЕЛЬНИХ КОМП'ЮТЕРНИХ СИСТЕМ: ВІД СХЕМ АВТОМАТНОЇ ПАМ'ЯТІ ДО ПОЛІГРАМНОГО ОБЛАДНАННЯ

Л.Ф.Мараховський

Київ, Україна

Анотация

Розглянуті нові методи структурної організації паралельних ієрархічних пристроїв обчислювальної техніки на схемах автоматної пам'яті. Відмінною рисою запропонованих пристроїв є те, що обробку інформації можна вести в інтервалі між встановлюючими входними сигналами.

Ключевые слова:

Схемы автоматной памяти, автоматное непрерывное время, автоматы третьего рода, параллельные иерархические автоматы, полиграммный уровень управления, принципы иерархического программного управления.

Концепция построения параллельных компьютерных систем: от схем автоматной памяти до полиграммных устройств

Введение. Ограничения элементной базы современных компьютерных систем (монофункциональный режим работы триггерных схем) не дают возможности создавать параллельные устройства управления (УУ), способные одновременно обрабатывать общую и частную информацию. Характер же взаимосвязи между уровнями управления (алгоритмического, программного и микропрограммного) и функции каждого из них определяют наиболее существенные особенности архитектуры и структуры процессора и всей компьютерной системы [1].

В предлагаемой работе автор излагает собственную оригинальную концепцию теоретических и практических разработок элементарных схем автоматной памяти (многофункциональных и многоуровневых), теории автоматов (автоматов третьего рода и иерархических автоматов), создания четвертого полиграммного уровня управления, позволяющего вести одновременную обработку общей и частной иерархически взаимосвязанной информации, а также предлагает принцип иерархического программного управления, определяющего новое направление в создании параллельных компьютерных систем.

Вместе с тем, работа носит конспективный характер, отсылая читателей к первоисточникам, и монографический, поскольку обобщает ряд известных работ автора и последовательно излагает основные достижения по этой проблематике.

Элементарные схемы автоматной памяти

В настоящее время в компьютерных системах широко используются десятки разновидностей триггерных схем памяти (двоичные, многостабильные и т.д.), которые запоминают все свои состояния при одном сохраняющем входном сигнале, воздействующим в промежутках между появлением устанавливающих сигналов [1].

Функционально триггеры работают однопрограммно (монофункционально), а по внутренней структуре они представляют собой группы по одному элементу ИЛИ-НЕ (И-НЕ, И-ИЛИ-НЕ), выходы которых соединены со входами таких же элементов всех остальных групп.

Перспективным направлением развития монофункциональных триггеров явилось создание многофункциональных схем автоматной памяти (МСП) [2-7]. В отличие от триггеров они имеют не только устанавливающие входные сигналы, но и сохраняющие входные сигналы, которые обеспечивают запоминание определенного подмножества (блока) состояний. Структурно МСП

отличаются от триггеров тем, что в каждой группе имеют число логических элементов ИЛИ-НЕ (И-НЕ, И-ИЛИ-НЕ) более одного.

Была разработана теория проектирования МСП [5-7], а также система автоматизированного проектирования этих схем [8].

МСП имеют матричную структуру запоминания состояний, требуют меньшее число логических элементов на одно запоминаемое состояние и способны при одних и тех же ограничениях логических элементов по числу входов и нагрузочной способности запоминать большее число состояний. Недостатком этих схем является необходимость дополнительной генерации сохраняющих входных сигналов.

В направлении развития МСП, с целью ликвидации их недостатка, были созданы многоуровневые устройства автоматной памяти (МУП) [7]. Структурно МУП проектируются из МСП, взаимосвязанных по вертикали сохраняющими входными сигналами. Выходные сигналы нижних МСП, отождествляющие состояние МСП, поступают на входные узлы сохраняющих входных сигналов высших МСП. Таким образом, осуществляется внутренняя генерация сохраняющих входных сигналов внутри МУП. Все МСП в МУП могут одновременно устанавливаться информационными входными сигналами в определенные состояния, а внутренние сохраняющие входные сигналы определяют блоки состояний, в которых МСП в данный момент могут работать.

Структурно МУП представляют схему, изображенную на рис. 1, а иерархическая взаимосвязь состояний - на рис.2

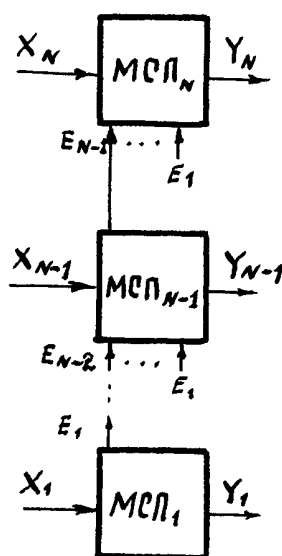


Рис. 1. Структура МУП

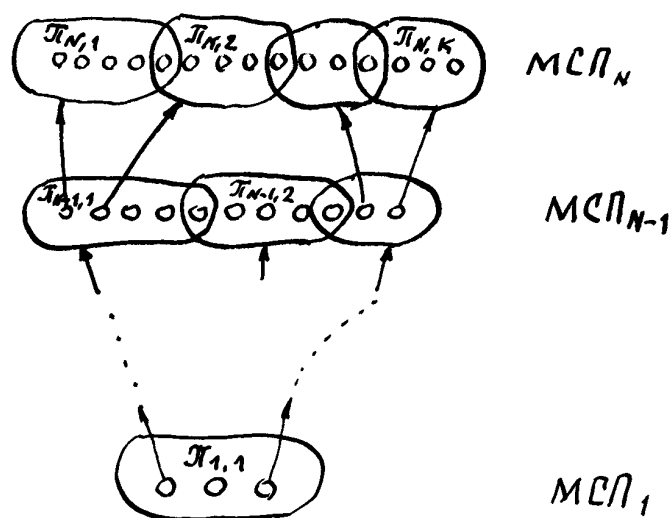


Рис. 2. Иерархическая взаимосвязь состояний МСП в МУП

МУП имеет ряд преимуществ по функциональным и конструктивным характеристикам по сравнению с многостабильными триггерами.

По функциональным свойствам: все МСП способны на каждом уровне МУП работать параллельно, перестраивать область функционирования верхних МСП, обрабатывающих частную информацию, без потери быстродействия.

По структурным свойствам:

а) имеют меньшее число внешних (в 2 раза) и внутренних (в 10 раз) связей при одном числе запоминаемых состояний (например, 18 состояний);

б) требуют меньшего числа логических элементов на одно состояние (на 23% меньше);

в) запоминают большее число состояний (в 10 раз) при тех же ограничениях логических элементов.

Методы синтеза схем автоматной памяти (МСП, МУП) с учетом ограничений логических элементов, с формульными выражениями по определению их основных параметров и сравнение характеристик с многостабильными триггерами представлены в работах [11-13], в которых и отражены их преимущества.

Основы теории автоматов на схемах автоматной памяти.

Известны теории последовательных автоматов первого и второго рода, использующих в качестве схем памяти триггеры [1].

На основе свойств схем автоматной памяти разработана качественно новая теория автоматов, функционирующих в автоматном непрерывном времени $T_i = t_i + \Delta_i$, в котором во время t_i определяются входные воздействия информационных сигналов $x_i(t)$, а во времени Δ_i - входные воздействия сохраняющих сигналов $e_j(\Delta)$. Последовательная пара $x_i(t)$, $e_j(\Delta)$ составляет элементарное входное слово $P_k(T) = x_i(t), e_j(\Delta)$.

Определение, задание и законы функционирования автоматов первого и второго родов (при $e_j(\Delta) = \text{const}$) и третьего рода даны в работах [7, 9, 14], а примеры устройств, проектируемых на их основе, в работах [7, 10-13].

Характерным свойством детерминированных автоматов является область допустимых информационных $x(t)$ входных сигналов, способных переводить автомат в состояние $a(t)$ определенного блока π_j состояний, сохраняемых под воздействием $e_j(\Delta)$ входных сигналов.

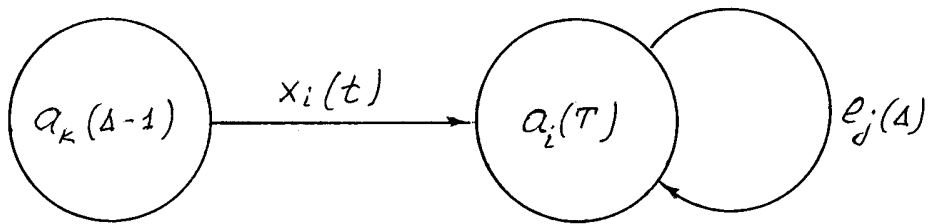
Установленные $a_k(t)$ и незапоминаемое состояние $a_p(t)$ при последующем воздействии сохраняющих $e_j(\Delta)$ входных сигналов в детерминированных автоматах первого и второго родов могут образовать область запрещенных входных слов $P_p(T)$. В детерминированных автоматах третьего рода за счет укрупненных переходов под воздействием сохраняющих $e_j(\Delta)$ входных сигналов область допустимых слов $P_k(T)$ расширяется.

В вероятностных и нечетких автоматах третьего рода могут использоваться вероятностные и нечеткие переходы под воздействием вероятностных элементарных слов первого и второго типов

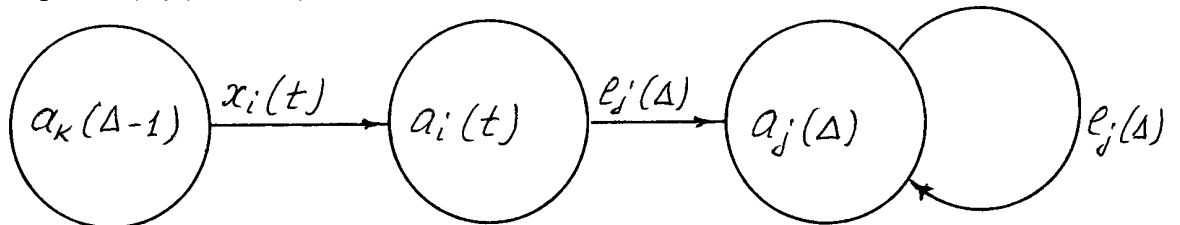
$P_v(T) = x_p(t), e_j(\Delta)$ и $P_v(T) = x_i(t), e_j^B(\Delta)$ входных слов и нечетких $P_n(T) = x_p(t), e_j^B(\Delta)$ входных слов. Вероятностные переходы способны осуществлять переходы из одного состояния в состояние вполне определенного блока состояний МСП с определенной мерой вероятности, а нечеткие переходы - переходы в состояние нечеткого подмножества, состоящего из вполне определенных блоков состояний МСП [14].

Графическое представление этих переходов дано на рис. 3.

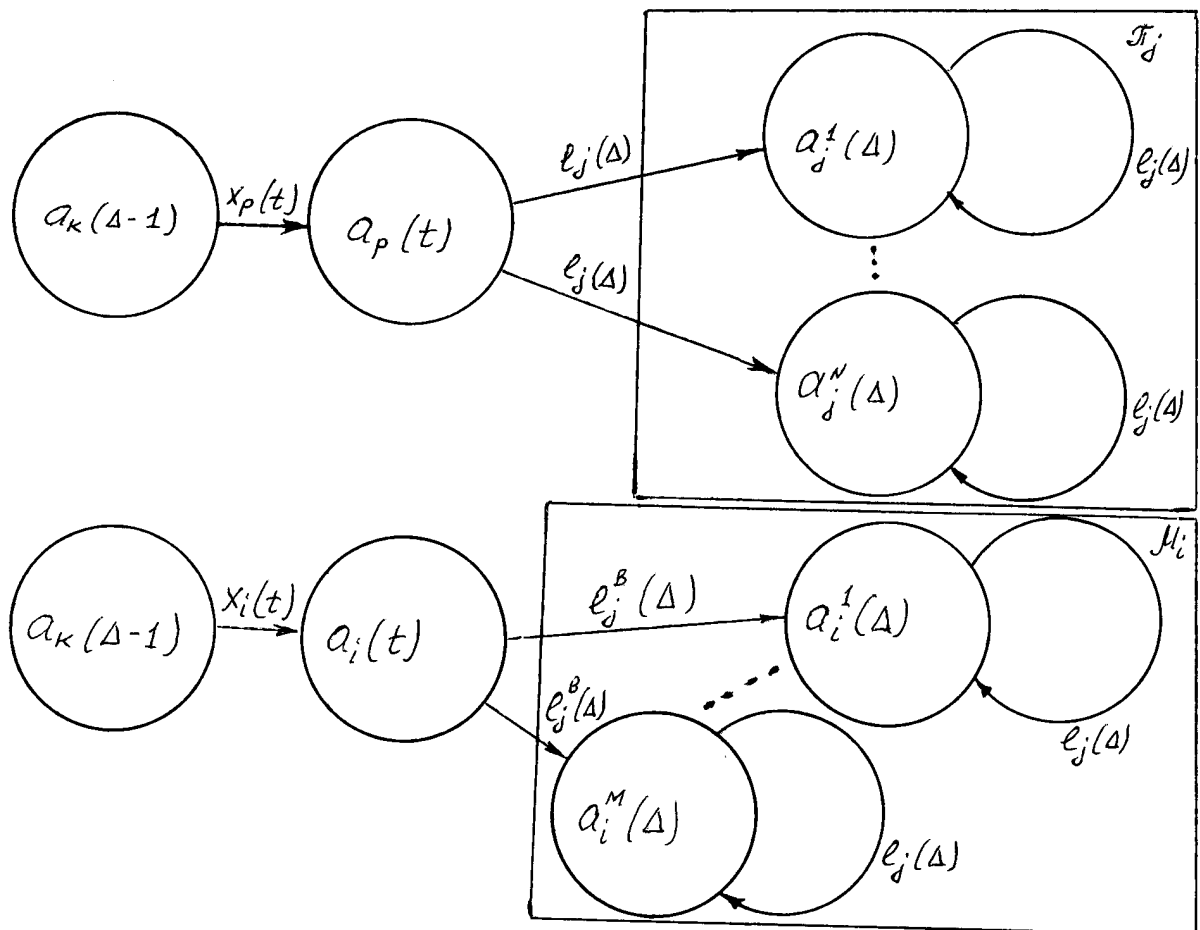
Теория автоматов с памятью на МСП расширяет функциональные возможности известных теорий автоматов с памятью на триггерах [1].



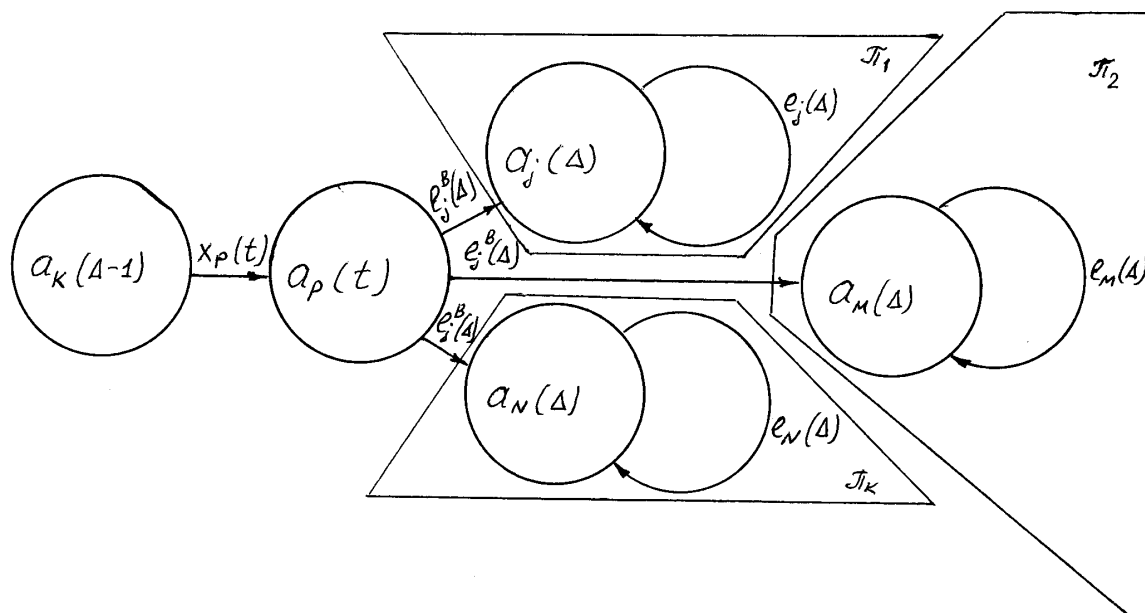
а) однозначные переходы в детерминированных автоматах первого и второго родов ($e_j(\Delta) = \text{const}$)



б) укрупненные переходы в детерминированных автоматах третьего рода в состояние $a_j(\Delta)$ блока π_j состояний ($a_i(t) \notin \pi_j$)



в) вероятностные переходы первого и второго типа в автоматах третьего рода в состояние блока π_j или блока μ_i матричной памяти МСП.



г) нечеткий переход в автоматах третьего рода

Рис. 3. Типы переходов в устойчивые состояния, представленных в виде направленных графов.

Последовательный многофункциональный автомат с памятью на МСП (автоматы первого, второго и третьего родов), имеющий два множества входных сигналов (информационных и сохраняющих) способен настраиваться другим многофункциональным автоматом через множество сохраняющих входных сигналов на функционирование в определенном блоке своих состояний π_j . В этом случае образуется многоуровневая (иерархическая) структура. Организация такой объединенной структуры и описание ее в виде иерархического автомата представлено в работе [14].

Разработанная математическая модель иерархического автомата способна описывать функционирование не только параллельно работающих подавтоматов S_i , но и их межуровневое иерархическое взаимодействие за счет использования сохраняющих $e_{ij}(\Delta)$ входных сигналов. При разработке теории иерархических автоматов рассмотрены способы задания автоматов, формулирование полиграмм, синтез автомата по полиграмме, синтез автомата с использованием ПЗУ. Методы синтеза иерархических автоматов позволяют расширить функциональные возможности межуровневых иерархических структур компьютерных машин и систем за счет осуществления переходов во время внутреннего такта Δ автоматного непрерывного времени T .

Это позволило перестраивать внутреннюю структуру функционирования иерархических автоматов без потери быстродействия и осуществлять межуровневое взаимодействие всего иерархического автомата за один внутренний такт Δ , что принципиально невозможно осуществить в автоматах первого и второго родов.

Это позволяет распараллелить работу многоуровневых иерархических систем УУ, ускорить их структурную перестраиваемость и при необходимости повысить живучесть систем при переработке информации.

Четвертый уровень управления

Микропрограммный уровень управления в основном определяет систему команд, которая в дальнейшем используется программным уровнем управления [1].

Замена микропрограмм приводит к изменению системы команд, реализуемых программным уровнем. Следовательно, многообразие команд определяет класс функций, которые наиболее эффективно способен реализовать компьютер. Микропрограмма или определенная система микропрограмм в настоящее время реализуется, в основном, в одном блоке запоминаемых состояний схем памяти УУ.

При построении параллельных иерархических структур УУ микропроцессоров на схемах с автоматной памятью (МСП, МУП) существует возможность за счет условных и безусловных переходов, осуществляемых под воздействием сохраняющих входных сигналов, изменять состав микропрограмм и, тем самым, перестраивать систему команд компьютера, ориентируя его на более эффективную обработку данных, осуществлять параллельную обработку общей и частной информации, повышать надежность функционирования систем при выходе из строя каких-то элементов, блоков, процессоров или других устройств.

Четвертый уровень управления можно представить в виде параллельной структурной схемы так, как это дано на рис. 4.

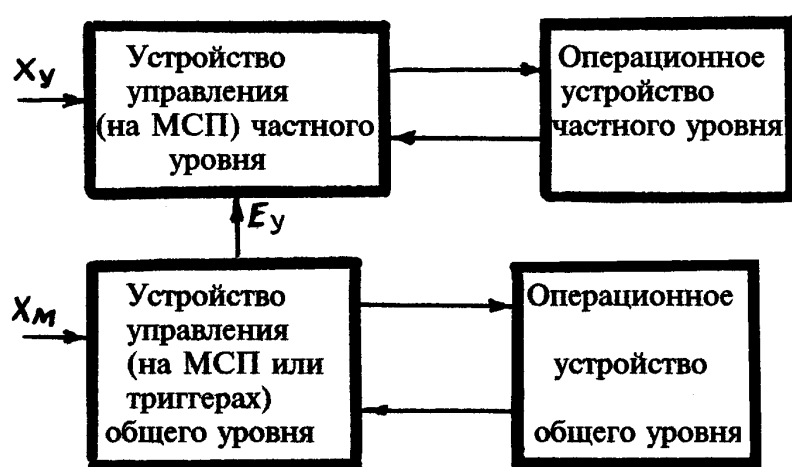


Рис. 4. Параллельная двухуровневая структурная схема, использующая четвертый уровень управления

обучающиеся системы и т.д.

Такую структурную схему можно использовать в самосовершенствующих алгоритмах, в которых обучающий алгоритм под воздействием четвертого уровня управления меняет не только числовые параметры, но и структуру схемы рабочего алгоритма (частного уровня).

Диапазон самосовершенствующих алгоритмов на практике достаточно большой: распознавание образов, защита информации,

Принцип иерархического программного управления

Принцип программного управления, предложенный Ч.Бэббиджем в 1833 г., позволил разбивать информацию на управляющую и обрабатывающую, что послужило теоретической предпосылкой для работ по автоматизации численных вычислений на ЭВМ [1].

На основе опубликованных работ [2-14], автором предложен принцип иерархического программного управления [14], который заключается в том, что информацию, обрабатываемую и управляющую, разбивают на частную и общую, которые по управляющей информации взаимосвязаны между собой по вертикали от общей информации к частной. Одной из основных временных характеристик обработки иерархической информации в этом случае является более быстрая обработка частной информации по отношению к общей, а одной из функциональных характеристик - изменение алгоритма частной информации при определенной обработке общей информации.

Общую информацию можно также представить как частную и общую информацию. Такое иерархическое разделение информации конечно и возможно до определенного минимального объема общей информации.

Частная информация может обрабатываться однозначно (детерминировано), вероятностно или нечетко при иерархическом принципе программного управления.

Общая ("корневая") информация должна обрабатываться однозначно или вероятностно и определять режим обработки частной информации.

Основной отличительной особенностью принципа иерархического программного управления является разбиение управляющей частной информации на блоки, область функционирования которых определяется состоянием управляющей общей информации.

Принцип иерархического программного управления реализован при построении МУП и при создании полиграммного (четвертого) уровня управления.

Заключение

Совокупность проведенных автором исследований представляет собой расширение фундаментальных основ решения научной проблемы в области создания элементов памяти, иерархических устройств управления параллельного действия, обрабатывающих частную и общую информацию одновременно, и формирует новые перспективные направления в развитии компьютерной техники. Принципиальным отличием этого направления является использование принципа иерархического программного управления, теории автоматов третьего рода, схем автоматной памяти в различных устройствах ЭВМ и, в первую очередь, в параллельных иерархических УУ, направленных на увеличение быстродействия, расширение функциональных возможностей и повышение живучести систем.

Впервые предложен ряд новых положений в проблематике многофункциональной и иерархической обработки информации, способных вести одновременную обработку общей и частной информации.

Предлагаемые результаты апробированы и имеют не только теоретический, но и практический интерес при разработке перспективных ЭВМ.

Новое направление является дополнением к развитию компьютерной техники. Оно способно быть реализовано на современных логических элементах, используемых в СБИС, ПЛИС, ОЗУ, и оказать достаточно большое влияние на программное обеспечение компьютеров, компьютерных систем и сетей.

1. Справочник по цифровой вычислительной технике: (процессоры и память) / Б.Н.Малиновский, Е.И.Брюхович, Е.Л. Денисенко и др. Под ред. Б.Н.Малиновского. - К.:Техніка, 1979. - 366 с.
2. А.с. 403077 СССР, М.К.Н. 03К 29/00 - Многоустойчивый элемент / Мараховский Л.Ф., Сталоверов В.А. - Оpubл. 19.10.73, Бюл. № 42.
3. А.с. 801100 СССР М.Кл.³ G11C11/56. Многостабильный тактируемый D-элемент / Мараховский Л.Ф., Байтлер В.И., Савченко Ю.Г. - Оpubл. 30.01.81, Бюл. № 4.
4. А.с. 595865 СССР М.Кл.²Н. 03К29/00. Многоустойчивый синхронизируемый элемент / Мараховский Л.Ф., Байтлер В.И.- Оpubл. 28.02.78, Бюл. № 8.
5. Мараховский Л.Ф., Байтлер В.И., Некоторые вопросы теории схем памяти типа R-S // Электроника и моделирование. - 1977. - № 16. - С.53-57.
6. Мараховский Л.Ф. Вопросы проектирования элементарных схем памяти // Механизация и автоматизация управления. - К., 1980.- № 3. - 13с. Деп. в УкрНИИНТИ.
7. Дискретные устройства с многофункциональной системой организации памяти / Мараховский Л.Ф.: Киев, ин-т народ. хоз-ва. - К., 1987. - 244с. Деп. в УкрНИИНТИ., 30.12.87, № 3346 - Ук87.
8. Мараховский Л.Ф. Система автоматизированного проектирования одноуровневых многофункциональных схем памяти // Машинная обработка информации. - К.: Либідь, 1990. - Вып. 51 - С.57-61.
9. Мараховский Л.Ф. Конечные автоматы с многофункциональной системой организации памяти: Учебн. пособие. - К.: УМК ВО, 1991. - 67с.
10. Мараховский Л.Ф. Устройства вычислительных машин с многофункциональной системой организации памяти: Учебн. пособие. - К.: УМК ВО. - 1992. - 56с.
11. Мараховский Л.Ф. Многофункциональные схемы памяти. - К.: Управляющие системы и машины, 1996. - № 6. - С.59-69.
12. Мараховский Л.Ф. Многоуровневые устройства автоматной памяти. - I ч. - К.: Управляющие системы и машины, 1998. - № 1. - С.66-72.
13. Мараховский Л.Ф. Многоуровневые устройства автоматной памяти. - II ч. - К.: Управляющие системы и машины, 1998. - № 2. - С.63-69.
14. Мараховский Л.Ф. Основы теории проектирования дискретных устройств. Логическое проектирование дискретных устройств на схемах автоматной памяти: Монография. - К.: КГЭУ, 1996. - 128с.